

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036236

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H05K 3/46

(21)Application number : 11-037243

(71)Applicant : SOSHIN ELECTRIC CO LTD

(22)Date of filing : 16.02.1999

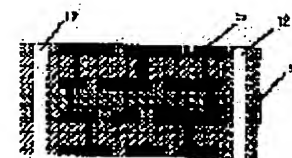
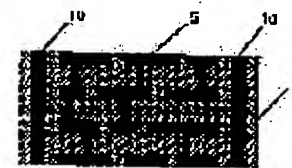
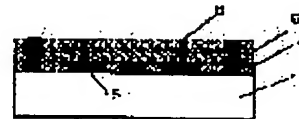
(72)Inventor : FUKAI TETSUYA

(54) MULTILAYER SUBSTRATE MANUFACTURE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form hole parts, having several patterns at a proper positioning accuracy by simultaneously forming vacant hole planned parts by conductors in the case of required and by repeating to implant into layers by applying insulating resin to build up when pattern layers and via layers are alternatively formed.

SOLUTION: A first conductive layer 5 corresponding to pattern electrodes and a second conductive layer 8 corresponding to via are formed through implanting with an epoxy resin 9. Additionally, a multilayer substrate which is separated by a separating walls 10 are formed thereon by repeating of the pattern electrodes 5, being formed on odd number layers and simultaneously via electrodes 8 formed on even number layers, until a prescribed layer number and substrate 1 is peeled. After the planned vacant hole parts formed as the separating walls 10 are masked by a resist film, vacant holes 12 are made by melting and eliminating the separating walls by etching. Thus, after the building up the same positions of the separating walls 10 are cut by a dicing saw and so on, and are separated into chip elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-36236

(P2001-36236A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テマコード(参考)

B

N

Z

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21)出願番号

特願平11-37243

(22)出願日

平成11年2月16日(1999.2.16)

(71)出願人 000201777

双信電機株式会社

東京都大田区中馬込1丁目18番18号

(72)発明者 深井 徹也

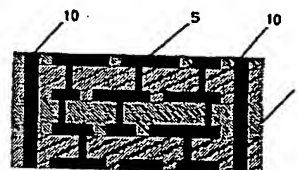
東京都大田区中馬込1丁目18番18号 双信
電機株式会社内

(54)【発明の名称】 多層基板の製造方法

(57)【要約】

【課題】多層基板の製造において、レーザなどによるビアホール形成工程をなくし、かつ、シールド壁の形成および素子の個片分割を容易にする。

【解決手段】フォトリソ膜形成とフォトリソ処理と導体形成及び絶縁層形成を繰り返すことにより、前記導体層と、ビアおよび導体充填された空孔予定部位とを同時に絶縁層に埋め込み形成し、空孔予定部位を所壁として後工程で溶解したり、シールド壁として樹脂に埋め込む。



【特許請求の範囲】

【請求項1】導体層と絶縁層が交互に積層されビアで層間接続がなされる多層基板の製造方法において、フォトリソ膜形成とフォトリソ処理と導体形成及び絶縁層形成を繰り返すことにより、前記導体層と、ビアおよび導体充填された空孔予定部位とを同時に絶縁層に埋め込み形成し、前記空孔予定部位を所定の位置にしてビルドアップを繰り返して空孔予定部を形成することを特徴とする多層基板の製造方法。

【請求項2】導体層と絶縁層が交互に積層されビアで層間接続がなされる多層基板の製造方法において、フォトリソ膜形成とフォトリソ処理と導体形成及び絶縁層形成を繰り返すことにより、前記導体層と、ビアおよび導体充填されたシールド壁予定部とを同時に絶縁層に埋め込み形成し、前記シールド壁予定部位を所定の位置にしてビルドアップを繰り返してシールド壁を形成することを特徴とする多層基板の製造方法。

【請求項3】請求項1記載の多層基板の製造方法において、空孔予定部が部品搭載用キャビティーあることを特徴とする多層基板の製造方法。

【請求項4】請求項1記載の多層基板の製造方法において、前記空孔予定部が分割用隔壁であることを特徴とする多層基板の製造方法。

【請求項5】請求項4記載の多層基板の製造方法において、前記分割用隔壁が単位素子外周の1部を残し各素子単位に区切られていることを特徴とする多層基板の製造方法。

【請求項6】請求項4記載の多層基板の製造方法において、前記分割用隔壁が少なくとも1層を除き同位置にして大半の層を貫通して各单位素子に区切られていることを特徴とする多層基板の製造方法。

【発明の詳細な説明】**【0001】**

【発明が属する技術分野】本発明は、導電体パターンが形成されたにコア基板上に樹脂を塗布し硬化後、層間接続用ビアホールを設け導体充填してビアを形成することの繰り返しでビルドアップする多層基板の製造方法に関する。

【0002】

【従来の技術】部品の小型化、薄型化を進めるべく多層基板のビルドアップ工法として、メッキあるいは真空技術で薄膜を形成しホトリソ手法で導電体パターンが形成されたコア基板上に樹脂を塗布し硬化後、層間接続用ビアホールをレーザで形成し導体充填してビアを形成することの繰り返しで多層基板にビルドアップされていた。このようにして形成される従来のビルドアップ工法は、導電体パターンが形成されたコア基板上に樹脂を塗布し硬化後、層間接続用ビアホールをレーザで形成し導体充填してビアを形成することの繰り返しでビルドアップするため、各絶縁層ごとにビアホールをレーザで多数孔を

1穴ずつ明けたり、表層の部品搭載用キャビティーを彫るのにかなりの工数を要していた。

【0003】通常の樹脂層はエポキシやポリイミドなど耐熱性のある樹脂が絶縁層として用いられるが、誘電体や磁性体をフィラーとして加え、誘電体層や磁性体層として形成することもできる。また導電体パターンおよび層間接続用ビアが形成されたに基板上にプリプレグ樹脂層を重ねて加熱圧着して硬化させることの繰り返しでビルドアップする方法もある。

【0004】あるいは前記導電体パターンが形成されたにコア基板上に感光性樹脂を塗布し硬化後、層間接続用ビアホールをホトリソ手法で形成し導体充填してビアを形成することの繰り返しでビルドアップするなどの多層基板の製造方法が行われている。特開平10-163637のように分割用溝を形成することも可能であるが、材料コストが高く、また電氣的あるいは機械的な特性向上のため感光性樹脂にフィラーを添加すると光の透過が阻害され散乱するため高精度加工が困難であった。

【0005】樹脂層は硬化時の収縮により反りが生じるため、コア基板の表裏交互にビルドアップしてゆく。コア基板を用いない場合も同様である。上述の作業は多数の素子が並んだ状態で行われるため、完成後にダイシングソーなどで切断され、個片に分割される。このとき切断面から亀裂やバリが生じ品質劣化をもたらしていた。

【0006】

【発明が解決しようとする課題】このようにして形成される従来のビルドアップ工法は、導電体パターンが形成されたコア基板上に樹脂を塗布し硬化後、層間接続用ビアホールをレーザで形成し導体充填してビアを形成することの繰り返しでビルドアップするため、各絶縁層ごとにビアホールをレーザで多数孔を1穴ずつ明けるためにかなりの工数を要していた。表層の部品搭載用キャビティーを彫る場合も同様である。

【0007】また前記導電体パターンが形成されたにコア基板上に感光性樹脂を塗布し硬化後、層間接続用ビアホールをホトリソ手法で形成し導体充填してビアを形成する方法は、感光性樹脂がコストアップの要因であり、さらに樹脂層の電氣的特性の向上、あるいは機械的強度の向上のために各種フィラーを充填すると、フィラーが紫外線の透過を阻害し光を散乱させるため高精度な微細な加工は困難であった。

【0008】本発明はこのような課題を考慮してなされたものであり、絶縁樹脂各層に導電体パターンと共にビアホールを始めとする各種形状の孔部を位置決め精度よくかつ簡便に形成することができ、これをシールド壁や端子電極に用い、さらに後工程での個片切断を精度よく容易にする多層基板の製造方法の提供を目的とする。

【0009】

【課題を解決するための手段】本発明に係わる多層基板

の製造方法は、導電体パターンと層間接続ビアおよび必要に応じて空孔予定部が埋め込まれた絶縁樹脂層をビルドアップしてゆく多層基板の製造方法であって、パターン層とビア層を交互に形成するとき、必要に応じて空孔予定部も同時に導体で形成し、絶縁樹脂を塗布して層に埋め込むことを繰り返してビルドアップしてゆく多層基板の製造方法である。空孔予定部とは、配線パターンとビア以外に導体が充填される部位を意味し、最終工程で、配線パターンとビアの導体をマスキングして、空孔予定部の導体を溶解させ素子外周からは除去される部位を意味する。さらに素子に内蔵されるパターン導体、ビア導体以外の、例えばシールド壁などの導体部を意味する。空孔予定部は、パターンあるいはビアを銅やアルミなどの導体でメッキ形成するとき同時に形成することができる。

【0010】詳述すると、コア基板あるいは後に剥離する仮基板上にフォトレジスト膜をスピンコーターなどで塗布、硬化、露光、現像してネガパターンを形成しアディティブ法でパターンおよび必要に応じて空孔予定部に、銅或いはアルミなどの導体をメッキ処理で充填する。このときサブトラクティブ法でも良く、スパッタあるいはメッキにより薄膜を形成し、フォトリソ手法でパターンをエッチングすることもできる。また、フォトレジストは、厚膜にするばあいはドライフィルムを用いても良く、ポジ、ネガタイプどちらでも良いが、ともにネガタイプが好適である。なおコア基板を用いるときは、先ずビア形成から出発し所定層ビルドアップした後、裏面にさらに所定層をビルドアップしてもよい。

【0011】ついで前記同様に、パターンおよび必要に応じて空孔予定部が埋め込まれた固化レジスト膜上にさらにフォトレジストを塗布しフォトリソ処理をしてビアホールおよび必要に応じて空孔予定部を形成する。つぎに銅或いはアルミなどの導体を無電解メッキ処理し、ビアホールおよび必要に応じて空孔予定部に充填する。前記基板表面に導電性があれば電解メッキもできる。メッキ処理後、2層分の硬化レジスト膜を剥離し、エポキシ、ポリイミドなどの樹脂をスクリーン印刷、スピンコート、カーテンコートあるいはロールコート法などを用いて塗布し硬化させる。この後、樹脂表面を研磨粗化させ無電解メッキの下地として活性化しておく。前記メッキした導体頂部が樹脂に埋没した場合は、表面を研磨して導体頂部を表面に露出するまで行う。以上により、導体パターンとビアおよび必要に応じて空孔予定部が埋め込まれた絶縁層が形成される。これを繰り返しビルドアップして多層基板が形成できる。

【0012】前記導体がメッキ充填された空孔予定部は、そのまま素子内部あるいは外周部のシールド壁に用いることができる。また前記空孔予定部は、ビルドアップ基板素子表裏の部品搭載用キャビティー形成の凸版としても用いられ、さらに個片素子分割用の隔壁として格

子状に形成しておく好適である。分割用隔壁は素子外周部の4箇所を残し各素子単位に区切っておくと、多素子が連結したシート状で扱うことができ、部品搭載後の個片への分割が容易になる。また、少なくとも1層を除き同位置にして大半の層を貫通する分割用隔壁にした場合も同様である。

【0013】応用例として、貫通孔ビアを樹脂層の任意層から最下層の底部の端子電極まで同位置に形成して接続することにより、ボールグリッドアレイ(BGA)を形成することができる。また分割用隔壁の端子電極予定部に凸部を設けて単位素子に分割後の外周部の端子電極予定凹部に電極を塗布形成するとクワドラチュアフラットパッケージ(QFP)に形成することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態例について空孔予定部が分割用隔壁の場合を図面を参照して説明する。厚さ0.1mmのエポキシ樹脂板に基準孔部を形成して基板1に用い、図1に示すように、暗室中で基板1の全面に、感光性アクリル樹脂およびエチルセルソルブ、トルエン、酢酸エチル等の溶剤からなるフォトレジスト液をスピンコーターで塗布、乾燥して、あつみ5 μ mの第1のネガレジスト膜2を形成する。この場合基板1はエポキシ板に代えてポリエチレンテレフタレートなど有機フィルムを表面粗化して用いたり、銅箔を用い最後に底面の銅箔をエッチングしてパターン形成し導体層にすることもできる。

【0015】ついで、図2に示すように、前記コア基板1上に、前記基準孔部を基準にして、第1のマスキング3を重ね、150~250mJ/cm²の光量で紫外線を露光し現像することにより、第1の固化レジスト部4を形成する。ここで固化レジスト部4は絶縁樹脂部に対応する。ついで、メッキ液中で無電解銅メッキを施し、略レジスト膜厚と同等の厚みになるまで銅を成長させる。この第1の導体層5はパターン電極および空孔予定部に対応する。

【0016】メッキ液から取り出し良く洗浄して乾燥後、前記手順と同様に、図3に示す前記コア基板上に厚さが10 μ mの第2のネガレジスト膜6を形成し、第2のマスキング7を重ねて200~300mJ/cm²の光量で露光、現像する。ついで、無電解銅メッキ、洗浄、乾燥を行う。図4に示す第2の導体層は、ビアおよび空孔予定部に対応する。ついで、約3%の水酸化ナトリウム溶液をスプレーしてレジストを剥離し、洗浄、乾燥後、2層重ねられたメッキ導体5, 8を残し、固化レジストが剥離された空間に、第2のマスキング7と同様の版を用いスクリーン印刷機で導体の頂部が露出する程度の厚みにエポキシ樹脂を塗布する。

【0017】大量生産する場合は、ポリエチレンテレフタレートなどをペーステープに用い、第1のレジスト膜を固化後、該テープのメッキ下地部を活性化処理をし

て前記のメッキ処理を重ねてから、ドクターブレード法、カーテンコート法などで連続的にエポキシ樹脂を塗布することができる。

【0018】塗布したエポキシ樹脂を120℃の乾燥器に1時間程いれて硬化させる。エポキシ樹脂硬化後、樹脂表面を研磨粗化させ無電解メッキの下地として活性化しておく。前記メッキ導体頂部が樹脂に埋没した場合は、導体頂部が表面に露出するまで研磨する。以上の工程で、パターン電極に対応する第1の導体層5と、ビアに対応する第2の導体層8がエポキシ樹脂9で埋め込み形成された。この上にさらに図5に示すように、奇数層にパターン電極5を、偶数層にビア電極8を空孔予定部と同時に埋め込み形成することを、所定層数まで繰り返し分割用隔壁10で区切られた多層基板に形成し、基板1を剥離する。

【0019】分割用隔壁10として形成された空孔予定部は、多層基板の表面電極を前に同様にレジスト膜でマスキング後、エッチングして隔壁を溶解除去し空孔12とし、図6の断面図の状態にする。底部の基板1は剥離せず残す場合は、最後にビア形成、パターン電極形成を従来工法で行い、分割用隔壁10と同位置をダイシングソーなどで切断し個片素子に分割する。以上は請求項6に係わる分割用隔壁が多層基板の底部の1層を除き各素子単面に区切られている場合であるが、中間層の場合も同様である。

【0020】請求項5に係わる、分割用隔壁が単位素子外周の1部を残し隔壁の空孔12で各素子単位に区切られている形態として、単位素子外周の4箇所を残して区切られている例を図7に示す。

【0021】請求項3に係わる、空孔予定部が部品搭載用キャビティー11である場合に形態例を図8に示す。

【0022】請求項2に係わる、シールド壁13を絶縁層に埋め込んだ形態例を図9に示す。

【0023】

【発明の効果】このようにして形成される多層基板の製造方法は、ビアホールをレーザで多数孔を1穴ずつ明けたり、表層の部品搭載用キャビティーを彫るための工数が低減できる。また導電体パターン上に感光性樹脂を塗布し硬化後、層間接続用ビアホールをホトリソ手法で形成し導体充填してビアを形成する工法に比較して、コストアップ要因の感光性樹脂が不要であり、さらに樹脂層

の電気的特性の向上、あるいは機械的強度の向上のために各種フィラーを充填すると、フィラーが紫外線の透過を阻害し光を散乱させるため高精度な微細な加工は困難であった問題も解消する。本発明は、絶縁樹脂各層に導電体パターンと共にビアホールを始めとする各種形状のシールド壁部や空孔予定部や位置決め精度良くかつ簡便に形成することができ、これを素子分割用隔壁に用い、後工程での個片分割を精度よく容易にする多層基板の製造方法を提供できる。

【0024】

【図面の簡単な説明】

【図1】基板1に第1のフォトリソ膜2を形成した状態図。

【図2】第1のフォトリソ膜2を露光し固化させた状態図。

【図3】第2のフォトリソ膜6を露光し固化させた状態図。

【図4】ビアに対応する第2の電極層をメッキした状態図。

【図5】所定の層数までビルドアップした状態図。

【図6】分割用隔壁を溶解除去した状態図。

【図7】単位素子外周の4箇所を残して区切られている状態図。

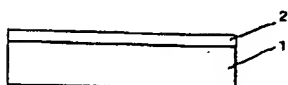
【図8】空孔予定部が部品搭載用キャビティーである状態図。

【図9】シールド壁を絶縁層に埋め込んだ状態図。

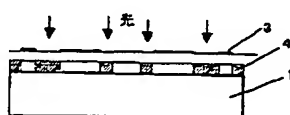
【符号の説明】

- 1……………ベース基板
- 2……………第1のレジスト膜
- 3……………第1のマスク
- 4……………第1の固化レジスト部
- 5……………パターン電極
- 6……………第2の固化レジスト膜
- 7……………第2のマスク
- 8……………ビア電極
- 9……………エポキシ樹脂
- 10……………分割用隔壁
- 11……………キャビティー
- 12……………隔壁の空孔
- 13……………シールド壁

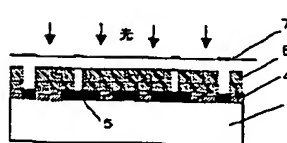
【図1】



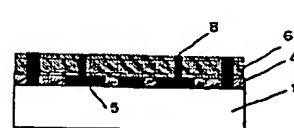
【図2】



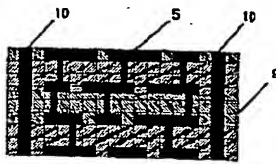
【図3】



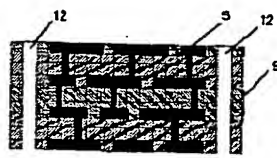
【図4】



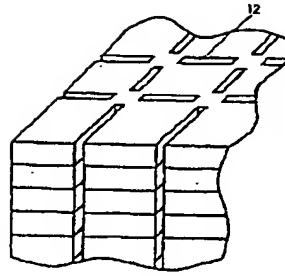
【図5】



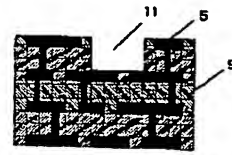
【図6】



【図7】



【図8】



【図9】

